

SEMICONDUCTOR DEVICE, MEMORY CORE CHIP, MEMORY PERIPHERAL CIRCUIT CHIP, AND SEMICONDUCTOR MEMORY DEVICE

Publication number: JP2003282813 (A)

Publication date: 2003-10-03

Inventor(s): MORI TOSHIKI; NAKAO ICHIRO; FUJITA TSUTOMU; SEGAWA REIJI

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: H01L25/18; G11C11/401; H01L25/04; H01L25/18; G11C11/401; H01L25/04; (IPC1-7): H01L25/04; G11C11/401; H01L25/18

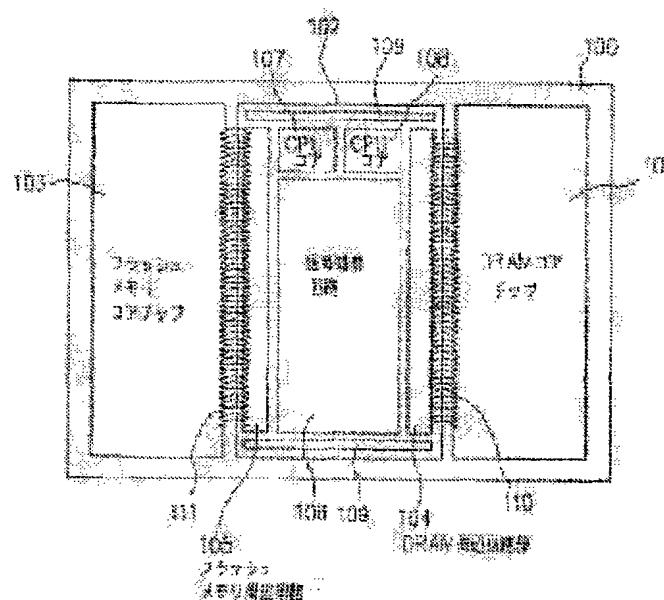
- European:

Application number: JP20030060544 20030306

Priority number(s): JP20030060544 20030306; JP19940245312 19941011

Abstract of JP 2003282813 (A)

PROBLEM TO BE SOLVED: To provide an inexpensive semiconductor device which operates on a low voltage and gives low power consumption. ; **SOLUTION:** The semiconductor device is equipped with a plurality of circuit blocks including a first circuit block (DRAM core) and a second circuit block (DRAM peripheral circuit) which have different block parameters such as design rules. The first circuit block is formed on a first semiconductor chip (DRAM core chip) 101, and the second circuit block is formed on a second semiconductor chip 102 and electrically connected to the first circuit block. As the result, the semiconductor chips can be manufactured at a low cost. ; **COPYRIGHT:** (C)2004 JPO



Data supplied from the ***esp@cenet*** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-282813

(P2003-282813A)

(43)公開日 平成15年10月3日 (2003.10.3)

(51) Int.Cl.⁷
 H 01 L 25/04
 G 11 C 11/401
 H 01 L 25/18

識別記号

F I
 H 01 L 25/04
 G 11 C 11/34

テマコード^{*}(参考)
 Z 5 M 0 2 4
 3 7 1 K

審査請求 有 請求項の数15 OL (全24頁)

(21)出願番号 特願2003-60544(P2003-60544)
 (62)分割の表示 特願平7-263382の分割
 (22)出願日 平成7年10月11日(1995.10.11)
 (31)優先権主張番号 特願平6-245312
 (32)優先日 平成6年10月11日(1994.10.11)
 (33)優先権主張国 日本 (JP)

(71)出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (72)発明者 森 俊樹
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (72)発明者 中尾 一郎
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (74)代理人 100078282
 弁理士 山本 秀策 (外2名)

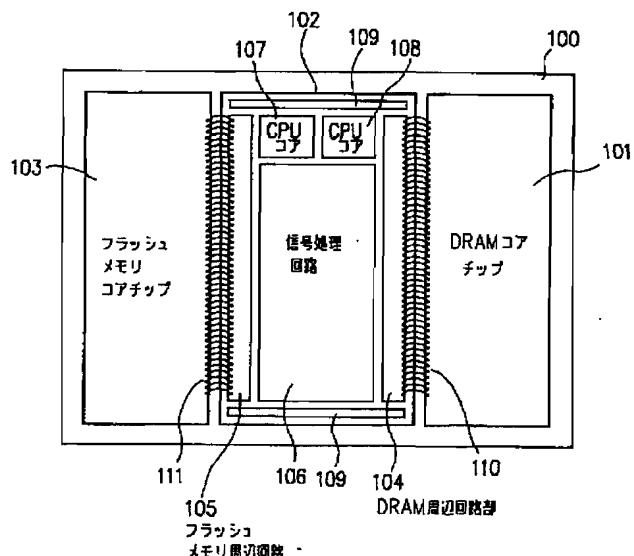
最終頁に続く

(54)【発明の名称】 半導体装置、メモリコア部チップ、メモリ周辺回路部チップおよび半導体メモリ装置

(57)【要約】

【課題】 低電圧・低消費電力で動作する安価な半導体装置を提供する。

【解決手段】 デザインルール等のブロックパラメータの異なる第1回路ブロック(DRAMコア)及び第2回路ブロック(DRAM周辺回路)を含む複数の回路ブロックを備えた半導体装置であって、第1回路ブロックは、第1の半導体チップ(DRAMコアチップ)101上に形成されおり、第2回路ブロックは、第2の半導体チップ102上に形成され、第1回路ブロックに電気的に接続されている。この結果、低コストで各半導体チップを製造できる。



【特許請求の範囲】

【請求項1】 少なくとも第1の機能を果たすための複数の回路ブロックを有する第1回路部と、該第1の機能とは異なる第2の機能を果たすための回路ブロックを有する第2回路部とを備えた半導体装置であって、該第1回路部の該複数の回路ブロックのうち、少なくとも一つの回路ブロックは、該第2回路部の回路ブロックとともに、第1の半導体チップ上に形成されており、該第1回路部の残りの回路ブロックは、該第1の半導体チップとは異なる第2の半導体チップ上に形成され、しかも、該第2の半導体チップ上に形成された回路ブロックに電気的に接続されており、該第1の半導体チップは第1の半導体製造プロセスを用いて形成されており、該第2の半導体チップは、第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されている、半導体装置。

【請求項2】 前記第1回路部は、前記第1の機能を果たす複数の回路ブロックとして、少なくともメモリセルブロックとメモリ周辺回路ブロックとを有しており、前記第2回路部は、前記第2の機能を果たす回路ブロックとして、信号処理回路を有しており、該信号処理回路と一部あるいは全ての該メモリ周辺回路ブロックとが、前記第1半導体チップ上に形成され、該メモリセルブロックが前記第2半導体チップ上に形成されている、請求項1に記載の半導体装置。

【請求項3】 メモリセルアレイを含む他の半導体メモリコアチップに対して信号の送受信を行うための入出力端子と、与えられるアドレスによって、該半導体メモリコアチップ内の該メモリセルアレイのうちのメモリセルを指定し、該メモリセルへのデータ読み出しありまたは書き込みをおこなうメモリ周辺回路と、を備えたメモリ周辺回路部チップ。

【請求項4】 メモリ周辺回路を含む他の半導体チップに対して信号の送受信を行うための入出力端子と、メモリセルアレイとを備え、与えられるアドレスによって、該半導体チップの該メモリ周辺回路からメモリセルを指定され、該メモリセルへのデータ読み出しありまたは書き込みをおこなうメモリコア部チップ。

【請求項5】 少なくとも一つのメモリコア部チップと、該メモリコア部チップを用いてメモリとしての機能を実現するためのメモリ周辺回路を有するメモリ周辺回路部チップと、該メモリコア部チップ及び該メモリ周辺回路部チップを接続する手段と、を備えた半導体メモリ装置。

【請求項6】 前記メモリコア部チップは、データを記憶するためのメモリセルを含み、前記メモリ周辺回路部チップは、与えられるアドレスに

10 10より該メモリコア部チップ内の該メモリセルを指定し、該メモリセルへのデータ読み出しありまたは書き込みをおこなう請求項5に記載の半導体メモリ装置。

【請求項7】 複数のメモリコア部チップと、該メモリコア部チップを用いてメモリとしての機能を実現するためのメモリ周辺回路を有するメモリ周辺回路部チップと、該複数のメモリコア部チップ及び該メモリ周辺回路部チップを接続する手段と、を備え、

前記メモリコア部チップは、該メモリ周辺回路チップ内の少くとも一部の回路を共有する半導体メモリ装置。

【請求項8】 データを記憶するためのメモリセルを含む少くとも一つのメモリコア部チップと、該メモリコア部チップを用いてメモリとしての機能を実現するための一部あるいは全てのメモリ周辺回路を有するメモリ周辺回路部およびメモリコア部チップに記憶されるデータを用いて処理をおこなう信号処理回路を搭載する信号処理チップと、該メモリコア部チップ及び該信号処理チップを接続する手段と、を備えた半導体メモリ装置。

【請求項9】 前記メモリ周辺回路部は、与えられるアドレスによって前記メモリコア部チップ内の前記メモリセルを指定し、該メモリセルへのデータ読み出しありまたは書き込みをおこなう請求項8記載の半導体メモリ装置。

【請求項10】 前記メモリコア部チップは複数個あり、メモリ周辺回路チップ内の少くとも一部の回路を共有する請求項9に記載の半導体メモリ装置。

【請求項11】 メモリチップおよび信号処理チップが30 マルチチップ実装手段により実装された半導体メモリ装置であって、該メモリチップは、データを格納する複数のメモリセルを備えたメモリセルアレイ部と、与えられるアドレスにより該メモリセルアレイ内の該メモリセルを指定し、データを入出力するアクセス手段と、複数データを並列に入出力するためのデータ端子とを備えており、該信号処理チップは、複数データを並列に入出力するデータ端子を備えており、該メモリチップと該信号処理チップとの間で複数のデータを並列に転送する手段を備えた半導体メモリ装置。

【請求項12】 前記メモリチップは、第1の半導体製造プロセスを用いて実現されており、前記信号処理チップは、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて実現されている請求項11記載の半導体メモリ装置。

【請求項13】 前記信号処理チップは、さらに複数の信号処理回路を備えている請求項11記載の半導体メモリ装置。

【請求項14】 メモリコア部チップおよび信号処理チップがマルチチップ実装手段により実装された半導体メ

モリ装置であって、

該メモリコア部チップは、データを格納する複数のメモリセルを備えたメモリセルアレイと、複数データを並列に入出力するデータ端子を備えており、

該信号処理チップは、与えられるアドレスにより該メモリコア部チップ内の該メモリセルを指定し、該メモリセルへのデータ読み出しありまたは書き込みをおこない、複数データを並列に入出力するデータ端子および複数の信号処理回路を備えており、

該メモリコア部チップと該信号処理チップとの間で複数のデータを並列に転送する手段を備えた半導体メモリ装置。

【請求項15】 前記メモリコア部チップは、第1の半導体製造プロセスを用いて実現されており、

前記信号処理チップは、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成される請求項14記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体メモリ装置などの半導体装置及びその製造方法に関するものであり、特に、マルチチップモジュール（以下、MCMと記す）に適した半導体装置に関する。

【0002】

【従来の技術】 半導体メモリの1つであるダイナミック・ランダムアクセス・メモリ（DRAM）は、記憶部として、メモリセルがアレイ状に配置されたメモリセルアレイを備えたものである。DRAMは、パッケージのピン数を極力少なくできるように図1に示すような回路構成でチップが実現されている。図1において、DRAM95はメモリセルがアレイ状に配置されたメモリセルアレイ1を中心に、メモリセルアレイ1内のメモリセルと同一ピッチでレイアウトされる回路ブロック50として、ワードラインを選択するためのローデコーダ5およびワードラインドライバ6、ビットラインの信号を増幅するためのセンスアンプ4、センスアンプ4により増幅された信号の中から任意の位置のビットデータを選択しデータラインに出力するコラムセレクタ3および、コラムセレクタ3へ与える選択信号を発生するコラムデコーダ2を有しており、以降の説明においては、メモリセルアレイ1およびメモリセルアレイ1内のメモリセルと同一ピッチでレイアウトされる回路を合わせた回路ブロック50をメモリコア部と表現する。また、メモリセルアレイ1内のメモリセルピッチには依存しないでレイアウトされる回路としては、アドレス信号入力端子A（10:0）32からロードアドレスを受け取るロードアドレスバッファ10、コラムアドレスを受け取るコラムアドレスバッファ9、リフレッシュアドレスを発生するロードアドレスカウンタ11、ロードアドレスバッファ10およびコラムアドレスバッファ9の出力信号からローデコーダ

10 RASおよびCAS信号を基にDRAM内部のタイミング信号を発生するRAS系/CAS系クロック発生回路

16、WE信号入力端子35から入力されるWE信号を基に書き込みのタイミング信号を発生するWE系クロック発生回路17、OE信号入力端子37から入力されるOE信号を基にデータ出力のタイミング信号を発生するOE系クロック発生回路18および、DRAM内部に必要な電圧を発生する回路として、ワード線電位を昇圧するのに必要となる昇圧電位発生回路19、基板に与える電位を発生する基板電位発生回路20、ビット線プリチャージやセルプレートに与える電位として必要となる1/2VCC発生回路21を有している。以降の説明においては、このモリセルアレイ1内のメモリセルピッチとは依存しないでレイアウトされる回路を合わせてメモリ周辺回路部と表現する。

【0003】 DRAM95は1チップ上に図1に示す回路を備えることにより、パッケージに実装する場合の外部ピンとしてはアドレス、データ、数本の制御信号ピンおよび電源ピンのみとなり、小さなパッケージで実装することができる。8ビットデータI/Oの16MDRAMを例にとると、アドレスピンとして11ピン、データ入出力ピンとして8ピン、制御信号ピンとして4ピン、電源ピンとして2ピンが使用されており、必要ピン数としては25ピンであり28ピンのパッケージに実装が可能となっている。

【0004】 図1で示す回路構成のDRAMのチップレイアウト例を図2に示す。図2では16MビットDRAMの場合を示しており、メモリセルアレイ1は4Mビットのプレートに4分割され、各々の4Mビットのプレートはさらに256Kビットのメモリセルブロック96に40分割されている。256Kビットの各メモリセルブロック96は256ロード×1024コラムのメモリセルを備えており、センスアンプ4およびコラムセレクタ3は各メモリセルブロックにメモリセルのコラム数と同数の1024個配置されている。ロードドライバ5およびワードドライバ5は、各メモリセルブロック毎に配置されており、コラムデコーダ2は各プレート毎に配置され、メモリ周辺回路部はチップ中央部での左右のコラムデコーダ2の間94およびチップ周辺部に配置されている。ここで、コラムデコーダ2の出力であるコラムセレクタ3への選択信号は左右のプレートに対して共通な信号で

あるが、コラムデコーダ2が左右のプレートにそれぞれ配置されているのは、選択信号線が中央部のメモリ周辺回路部94を横切ることができないためである。外部ピンとの接続をおこなうためのパッドはチップ中央部94内のパッド形成部40内に配置されており、このパッドとパッケージの外部ピンとをワイヤボンドで接続している。

【0005】ここで、パッケージに実装した場合での各信号端子30～32および35～37の端子容量は、入出力端子となっているデータ入出力端子36が最も大きく、入力トランジスタのゲート容量、端子から入力トランジスタまでの配線容量、入力トランジスタ用サージ保護デバイスの容量、信号出力トランジスタの拡散容量、出力トランジスタ用サージ保護デバイスの容量、パッケージのリードとワイヤボンド容量の合計となり5pF程度が存在する。メモリは一般にはシステムに複数個用いられ、複数のメモリの各端子はバス配線により共通に接続される。このため、DRAMにおいては、各ピンに50pFの負荷容量が接続されるものとして特性評価をおこなっており、データI/Oのビット幅としては、パッケージピン数の制限だけでなく、負荷容量駆動による消費電力およびノイズの増大等を考慮して、現状では8～16ビット程度のものが実現されている。

【0006】図3にDRAMを用いたシステムの実現手段例を示している。70はプリント配線基板であり、このプリント配線基板70上にパッケージされたDRAM72およびCPU等の信号処理LSI71がハンダ付されている。DRAM72と信号処理LSI71との間はプリント配線73により接続されている。図3においてはDRAMを1個用いるシステム構成例を示したが、DRAMを複数個用いるシステムも多くある。

【0007】

【発明が解決しようとする課題】DRAMは小面積で大容量のメモリセルキャパシタや、リーク電流の少ないメモリセルトランジスタを実現するために工程数の多い複雑な半導体製造プロセスを用いて製造されており、0.5μmのデザインルールを用いるDRAMプロセスにおいては同一デザインルールでのロジックLSIを実現する論理LSIプロセスに比べ約1.5倍の製造コストとなっている。

【0008】図1に示すDRAM回路構成において、DRAMプロセスを必要とする部分はメモリセルアレイ1のみであり、チップ上でのメモリセルアレイ1以外の部分はロジックLSIを実現する論理LSIプロセスで製造可能なものである。しかしながら、図2に示すように図1に示す回路構成のすべての部分がDRAMプロセスで製造されており、DRAMを高価なものとしている。

【0009】このことはDRAM以外の半導体メモリにおいても同様であり、SRAM、EEPROM、フラッシュメモリ等も論理LSIプロセスに比べ高価なプロセ

スでメモリセルアレイ以外の周辺回路部を含めたものを1チップ上に実現しており、半導体メモリを高価なものとしている。

【0010】また前述のように、メモリのデータI/Oのビット幅は8～16ビットまでのものしか実現されておらず、多ビット幅のデータ転送を必要とするシステムにおいては、小容量のメモリを多数個用いて多ビット幅データI/Oを実現しており、大面積かつ高価なシステムとなっていた。

10 【0011】さらには、システムの小型化や高速化にもなって、メモリを含む複数のペアチップを同一の基板に実装し、チップ間を最短の配線で結ぶことを目的とした、MCM技術の開発が盛んになっているが、このMCMに用いるメモリチップにおいても従来の図2の構成で製造された高価なメモリをそのまま用いており、メモリ1チップでのデータI/Oビット幅が制限されているため、多ビット幅のデータI/Oを実現するためには、小容量のメモリを多数個用いる必要があった。

【0012】また、メモリセルの記憶データ保持特性やアクセスタイムの高速化のため、DRAMにおいては半導体基板を負電位に設定しており、この負電位はDRAMチップに集積された基板電位発生回路20により発生される。一方ロジックLSIは通常、半導体基板は接地される構成となるため、ロジックLSIに比べDRAMの半導体基板のインピーダンスが高くなり、ラッチアップやサージ耐性が低くなってしまう。このため、大面積の入力サージ保護を必要とするとともに、微細化プロセス技術を用いるDRAMにおいては、メモリセル領域のみの基板を負電位とする3重ウェル構造プロセスなどを必要とし、DRAMをより高価なものにしている。

20 【0013】さらには、メモリを用いるシステムにおいては、DRAMのみならずSRAM、EEPROM、フラッシュメモリ等の複数種類のメモリを用いる場合が多く、これらのメモリはすべてメモリセルと同一チップ上に周辺回路を搭載しており、同様の動作をする回路をすべてのメモリチップが持つことになる。

【0014】本発明は上記事情に鑑みてなされたものであり、本発明の目的とするところは、高い機能を持つ半導体装置を低価格で提供することにある。

【0015】

【課題を解決するための手段】本発明の半導体装置は、ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックを含む複数の回路ブロックを備えた半導体装置であって、該第1回路ブロックは、第1の半導体チップ上に形成されており、該第2回路ブロックは、第2の半導体チップ上に形成されており、しかも、該第1回路ブロックに電気的に接続されており、そのことにより上記目的が達成される。

50 【0016】前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値(Vt)、電

源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである。

【0017】前記第1回路ブロックは、複数のメモリセルを有するメモリセルブロックであり、前記第2回路ブロックは、該メモリセルブロックの選択されたメモリセルにアクセスするためのメモリ周辺回路ブロックであってよい。

【0018】前記第1回路ブロックは、CPUコアであり、前記第2回路ブロックは、周辺回路ブロックであってよい。

【0019】本発明の半導体装置の製造方法は、一つの半導体チップ上に集積され得る回路を、ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックに分離する工程と、該第1回路ブロックを第1の半導体チップ上に形成する工程と、該第2回路ブロックを第2の半導体チップ上に形成する工程と、該第1回路ブロックと該第2回路ブロックとを電気的に接続する工程とを包含し、そのことにより上記目的が達成される。

【0020】前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値(V_t)、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである。

【0021】前記第1回路ブロックは、複数のメモリセルを有するメモリセルブロックであり、前記第2回路ブロックは、該メモリセルブロックの選択されたメモリセルにアクセスするためのメモリ周辺回路ブロックであってよい。

【0022】前記第1回路ブロックは、CPUコアであり、前記第2回路ブロックは、周辺回路ブロックであってよい。

【0023】本発明の他の半導体装置は、一つの半導体チップ上に集積され得る回路が、ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックに分離された半導体装置であって、該第1回路ブロックは第1の半導体チップ上に形成され、該第2回路ブロックは第2の半導体チップ上に形成されており、該第1回路ブロックと該第2回路ブロックとが電気的に接続されており、そのことにより上記目的が達成される。

【0024】前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値(V_t)、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである。

タである。

【0025】本発明の更に他の半導体装置は、少なくとも第1の機能を果たすための複数の回路ブロックを有する第1回路部と、該第1の機能とは異なる第2の機能を果たすための回路ブロックを有する第2回路部とを備えた半導体装置であって、該第1回路部の該複数の回路ブロックのうち、少なくとも一つの回路ブロックは、該第2回路部の回路ブロックとともに、第1の半導体チップ上に形成されており、該第1回路部の残りの回路ブロックは、該第1の半導体チップとは異なる第2の半導体チップ上に形成され、しかも、該第2の半導体チップ上に形成された回路ブロックに電気的に接続されており、該第1半導体チップ上に形成された該第1回路部の回路ブロックに関するブロックパラメータは、該第2半導体チップ上に形成された該第1回路部の他の回路ブロックに関するブロックパラメータよりも、該第2回路部の回路ブロックに関するブロックパラメータに近く、そのことにより上記目的が達成される。

【0026】前記第1回路部は、前記第1の機能を果たす複数の回路ブロックとして、少なくともメモリセルブロックとメモリ周辺回路ブロックとを有しており、前記第2回路部は、前記第2の機能を果たす回路ブロックとして、信号処理回路を有しております、該信号処理回路と該メモリ周辺回路ブロックとが、前記第1半導体チップ上に形成され、該メモリセルブロックが前記第2半導体チップ上に形成されていてもよい。

【0027】前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値(V_t)、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである。

【0028】本発明のメモリ周辺回路部チップは、メモリセルアレイを含む他の半導体メモリコアチップに対して信号の送受信を行うための入出力端子と、与えられるアドレスによって、該半導体メモリコアチップ内の該メモリセルアレイのうちのメモリセルを指定し、該メモリセルへのデータ読み出しありまたは書き込みをおこなうメモリ周辺回路とを備え、そのことにより上記目的が達成される。

【0029】本発明のメモリコアチップは、メモリ周辺回路を含む他の半導体チップに対して信号の送受信を行うための入出力端子と、メモリセルアレイとを備え、与えられるアドレスによって、該半導体チップの該メモリ周辺回路からメモリセルを指定され、該メモリセルへのデータ読み出しありまたは書き込みをおこない、そのことにより上記目的が達成される。

【0030】本発明の半導体メモリ装置は、第1の半導体製造プロセスを用いて形成される少なくとも一つのメ

モリコア部チップと、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されるメモリ周辺回路部チップと、該メモリコア部チップ及び該メモリ周辺回路部チップを接続する手段とを備え、そのことにより上記目的が達成される。

【0031】前記メモリコア部チップは、データを記憶するためのメモリセルを含み、前記メモリ周辺回路部チップは、与えられるアドレスにより該メモリコア部チップ内の該メモリセルを指定し、該メモリセルへのデータ読み出しあり書き込みをおこなってもよい。

【0032】本発明の他の半導体メモリ装置は、第1の半導体製造プロセスを用いて形成される複数のメモリコア部チップと、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されるメモリ周辺回路部チップと、該複数のメモリコア部チップ及び該メモリ周辺回路部チップを接続する手段とを備え、前記メモリコア部チップは、該メモリ周辺回路チップ内の少なくとも一部の回路を共有し、そのことにより上記目的が達成される。

【0033】本発明の更に他の半導体装置は、第1の半導体製造プロセスを用いて形成されるデータを記憶するためのメモリセルを含む少なくとも一つのメモリコア部チップと、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されるメモリ周辺回路部およびメモリコア部チップに記憶されるデータを用いて処理をおこなう信号処理回路を搭載する信号処理チップと、該メモリコア部チップ及び該信号処理チップを接続する手段とを備え、そのことにより上記目的が達成される。

【0034】前記メモリ周辺回路部は、与えられるアドレスによって前記メモリコア部チップ内の前記メモリセルを指定し、該メモリセルへのデータ読み出しあり書き込みをおこなってもよい。

【0035】前記メモリコア部チップは複数個あり、メモリ周辺回路チップ内の少なくとも一部の回路を共有する。

【0036】本発明の更に他の半導体装置は、メモリチップおよび信号処理チップがマルチチップ実装手段により実装された半導体装置であって、該メモリチップは、データを格納する複数のメモリセルを備えたメモリセルアレイ部と、与えられるアドレスにより該メモリセルアレイ内の該メモリセルを指定し、データを入出力するアクセス手段と、複数データを並列に入出力するためのデータ端子とを備えており、該信号処理チップは、複数データを並列に入出力するデータ端子を備えており、該メモリチップと該信号処理チップとの間で複数のデータを並列に転送する手段とを備え、そのことにより上記目的が達成される。

【0037】前記メモリチップは、第1の半導体製造プロセスを用いて実現されており、前記信号処理チップ

は、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて実現されていてもよい。

【0038】前記信号処理チップは、さらに複数の信号処理回路を備えていてもよい。

【0039】本発明の更に他の半導体装置は、メモリコア部チップおよび信号処理チップがマルチチップ実装手段により実装された半導体装置であって、該メモリコア部チップは、データを格納する複数のメモリセルを備えたメモリセルアレイと、複数データを並列に入出力する

データ端子を備えており、該信号処理チップは、与えられるアドレスにより該メモリコア部チップ内の該メモリセルを指定し、該メモリセルへのデータ読み出しあり書き込みをおこない、複数データを並列に入出力するデータ端子および複数の信号処理回路を備えており、該メモリコア部チップと該信号処理チップとの間で複数のデータを並列に転送する手段とを備え、そのことにより上記目的が達成される。

【0040】前記メモリコア部チップは、第1の半導体製造プロセスを用いて実現されており、前記信号処理チップは、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されてもよい。

【0041】

【発明の実施の形態】本発明の半導体装置は、ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックを含む複数の回路ブロックを備えており、第1回路ブロックは、第1の半導体チップ上に形成され、第2回路ブロックは、第2の半導体チップ上に形成されている。ここで、ブロックパラメータとは、動作クロック周波数、設計ルール、トランジスタの閾値(Vt)、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路か等の相違である。ブロックパラメータとしては、ほかに、ROMかRAMかの相違、ロジックかメモリかの相違等の論理特性の相違も含まれる。

【0042】近年、大規模なシステムを一つの半導体チップ上に形成し、それによって、動作速度などの特性を向上させ、製造コストを低減しようとするシステムオンチップの考え方が主流になってきた。このようなシステムオンチップ型の半導体装置では、一つの半導体チップ上に複数の回路ブロックが集積されており、それら複数の回路ブロックが最適なレイアウトで配置されるように設計が行われている。集積される複数の回路ブロックは、ブロックパラメータが相互に異なる場合があるが、ひとつの半導体チップ上に集積することが最も好ましいと信じられてきた。本願発明者は、その常識にとらわれず、あえて、複数の回路ブロックを種々のパラメータに基づいて分類し、異なる半導体チップ上に配分すれば、かえって製造コストの低減などの効果が得られることを見いだした。

【0043】複数の回路ブロックの配分に際して重要な

点は、各回路ブロックをどのような基準で分類し、各半導体チップ上に形成するかということである。その点を図4(a)～(c)を参照しながら以下に説明する。

【0044】図4(a)は、通常の機能的に分類された複数の回路ブロックを示し、図4(b)は、これらの回路ブロックを一つの半導体チップ上に集積した半導体装置のレイアウトを模式的に示している。図4(c)は、デジタルかアナログかというブロックパラメータに基づいて回路ブロックを2つのグループに分類し、各々を2つの異なる半導体チップ上に再配置した半導体装置のレイアウトを模式的に示している。

【0045】家庭用ゲーム器などに使用される画像処理システムは、図4(a)に示されるように、CPU、画像処理用LSI、及びNTSCエンコーダから構成されている。NTSCエンコーダは、論理回路(LOGIC)部とD/Aコンバータ(DAC)部を含んでおり、これらが全体として、NTSCエンコーダの機能を発揮するように動作する。LOGIC部は、RGBデジタル信号に基づいてDAC部の出力レベルを制御する。DAC部は、デジタル信号をデコードするデコーダ部分(DAC-DEC)と、デコーダ部分からの信号に応じてアナログ信号を出力する電流セルアレイ部分(DAC-ARRAY)とを含んでいる。デコーダ部分(DAC-DEC)はデジタル回路によって構成され、電流セルアレイ部分(DAC-ARRAY)はアナログ回路によって構成されている。この結果、NTSCエンコーダは、RGBデジタル信号からNTSCコンポジット信号を生成することができる。CPU、画像処理用LSI、及びNTSCエンコーダは、各々、別々の半導体チップ上に形成される。各半導体チップは、回路基板上に配置され、回路基板上の配線によって電気的に接続される。回路基板上の配線で相互接続することは高速動作を阻害すると考えられるので、大規模LSI製造技術の発展と、CADを用いた設計支援ツールの充実によって、図4(a)のシステムは、図4(b)に示すように一つの半導体チップ上に集積されつつある。

【0046】本願発明によれば、デジタルかアナログかというブロックパラメータに基づいて、上記システムの回路ブロックを分類し、異なる半導体チップ上に配分する。具体的には、NTSCエンコーダの中のLOGIC部とDAC部中のデジタル動作を行う回路部分を、DAC部中のアナログ動作を行う回路部分から分離し、CPUブロック及びCGブロックとともに一つの半導体チップ(デジタル回路用)上に集積する。他方、NTSCエンコーダのDAC部のアナログ回路部分は、他の半導体チップ(アナログ回路用)上に形成する。このようにすることで、以下の効果が得られる。すなわち、NTSCエンコーダのDAC部のアナログ回路部分は、ノイズに敏感でノイズによる悪影響を受けやすい。このため、DAC部をデジタル回路によって形成されている

LOGIC部と同一半導体チップ上に形成すれば、デジタル回路の動作に起因するノイズが半導体チップを介してDAC部に到達するおそれがある。NTSCエンコーダの持つ機能を達成するために必要な回路ブロックを上述のように2つの半導体チップ上に形成すれば、そのようなノイズによる問題を解決することができる。また、半導体製造プロセスによって、アナログ回路を形成する工程と、デジタル回路を形成する工程とは異なつており、それぞれのデザインルールも違う。このため、デジタル回路用の半導体チップとアナログ回路用の半導体チップとに分けて製造工程を行えば、それぞれの半導体チップを、最適なデザインルールで、しかも不要な工程を割愛した製造手順で作製できる。通常、デザインルールの厳しいプロセスは、一工程あたりのコストが相対的に高価であるので、緩いデザインルールに従って作製可能な回路ブロックを見つけ、その回路ブロックを他の半導体チップ上に分離すれば、製造コストは全体として低減できる。

【0047】このように複数の半導体チップに分離して回路ブロックを形成した後、それら複数の半導体チップから、MCMを形成する。MCMは、たとえば、図5(a)～(c)に示すように2つのLSIチップを配置し、半田バンプによって相互接続することによって作製される。本発明の半導体装置が、従来のMCMと異なる点は、本発明の半導体装置が既存の複数の半導体チップを単純に組み合わせて一つのモジュールを形成するのではなく、複数の回路ブロックを有する一つのシステムを構築した後、特定のブロックパラメータが相互に共通するグループまたはブロックパラメータの近いグループごとに分離された半導体チップをモジュールに使用する点にある。

【0048】他の実施形態では、複数のメモリセルを有するメモリセルブロックと、メモリセルブロック中の選択されたメモリセルにアクセスするためのメモリ周辺回路ブロックとを、異なる半導体チップ上に形成する。メモリセルブロックとメモリ周辺回路ブロックとでは、デザインルール(最小寸法)が異なり、製造プロセスのシーケンスも異なる。しかし、これらのブロックは、DRAMとしての機能を発揮するためには、一つの半導体チップ上に集積されるべきであると信じられていた。本発明によれば、メモリセルブロックと周辺回路ブロックとをデザインルールというブロックパラメータを基準に分類し、異なる半導体チップ上に形成する。この発明については、後に実施例を詳細に説明する。

【0049】他の好ましい実施形態では、CPUコアと、周辺回路ブロックとを、別々の半導体チップ上に形成する。なお、ここで、CPUコアとは、少なくとも命令を解読し、制御動作を行う制御部と、算術論理演算を行う演算部を有しており、周辺装置の制御を行う回路である。

【0050】これらの複数のブロックの配分の仕方は、大きく分けて2つある。第1は、図6(a)に示すように、一つの機能を達成するための複数の回路ブロックAからCが一つの半導体チップ700上に形成されていた場合において、ブロックパラメータが他の回路ブロックと異なる回路ブロックを見つけだし、図6(b)に示すように、ブロックA及びBを半導体チップ710上に形成し、ブロックCを半導体チップ720上に形成するというものである。2つ半導体チップ710及び720は相互に接続される。

【0051】第2は、図7(a)に示すように、第1の機能を達成するための複数の回路ブロックA～Cが第1の半導体チップ800上に形成され、かつ、第2の機能を達成するための複数の回路ブロックD及びEが第2の半導体チップ810上に形成されていた場合において、図7(b)に示すようにブロックパラメータが他の回路ブロックA及びBと異なる回路ブロックCを見つけだし、他の半導体チップ830上に形成するというものである。残りの回路ブロックA及びBは、半導体チップ820上に形成する。2つ半導体チップ820及び830は相互に接続される。

【0052】以下に、図8を参照しながら、本発明による半導体装置の製造方法を説明する。

【0053】まず、図8に示す工程S1で、CADを用いてネットリストを決定し、ブロックパラメータの読み込みを行う。この後、回路ブロックについて階層展開を*

パラメータ：デザインルール

*行う。次に、工程S2で、特定のブロックパラメータを基準に回路ブロックをグループ分けする。この後、工程S3で、ネットリストにグループ階層を追加する。これによって、回路ブロックの複数の半導体チップ上に割り当てを完了する。

【0054】この後は、各半導体チップを製造するための公知の工程を行うことになる。具体的には、工程S4で、各半導体チップ上に形成する回路のレイアウトの決定を行い、工程S5でレイアウトの検証を行う。工程S6でマスクデータを作製し、工程S7でマスクを作製する。それらのマスクを用いて、工程S8及びS9で各半導体チップに回路を形成する。工程S8及びS9は、それぞれ、薄膜堆積やフォトリソグラフィ等の複数のサブ工程を含んでいる。

【0055】こうして形成された少なくとも2つの半導体チップは、好ましくはMCM技術によって相互に接続され、一つの半導体装置を形成する。

【0056】次に、どのようなブロックパラメータに基づいて回路ブロックを分割すれば、どのような利点が得られるかを、下記表を用いて説明する。表1から表5は、回路ブロック分割の基準として選択するブロックパラメータをA欄に、第1の半導体チップ上に形成される回路名をB欄に、第2の半導体チップ上に形成される回路名をC欄に記載している。

【0057】

【表1】

	L S I 1	L S I 2
1	周辺回路	メモリコア
2	ディジタル回路	アナログ回路
3	高速回路	低速回路
4	C M O S	バイポーラ
5	ユーザ回路	M C U コア
6	テスト回路	非テスト回路

【0058】

【表2】

パラメータ： 閾値 (Vt)

	L S I 1	L S I 2
1	高遅回路	低遅回路
2	周辺回路	メモリコア
3	デジタル	アナログ

【0059】

* * 【表3】

パラメータ： 電源電圧

	L S I 1	L S I 2
1	周辺回路	メモリコア
2	ユーザ回路	M C Uコア
3	デジタル	アナログ
4	ユーザ回路	M C Uコア

【0060】

* * 【表4】

パラメータ： 動作周波数

	L S I 1	L S I 2
1	ユーザ回路	M C Uコア
2	メモリ	M C Uコア
3	高遅回路	低遅回路
4	テスト回路	非テスト回路

【0061】

【表5】

パラメータ：論理回路・特徴

	LSI 1	LSI 2
1	ユーザ回路	MCUコア
2	演算器(FPU)	MCUコア
3	メモリ	MCUコア
4	ユーザ回路	演算器(FPU)
5	ユーザ回路	メモリ
6	デジタル	アナログ
7	CMOS	バイポーラ
8	テスト回路	非テスト回路

【0062】表1の第1行は、デザインルールを基準として、第1の半導体チップ上に行デコーダや列デコーダなどの周辺回路を形成し、第2の半導体チップ上に多数のメモリセルが配列されたメモリコア回路を形成した場合を示している。これらの半導体チップは相互接続され、一つの半導体メモリ装置を構成する。

【0063】表1に示す例によれば、製造コストを低減できる。デザインルールが異なる回路ブロックを一つの半導体チップ上に形成すると、デザインルールの比較的に緩い回路ブロックまで、デザインルールの厳しい回路ブロックとともに形成される。

【0064】デザインルールの厳しい回路ブロックの製造には、相対的に高価な製造装置が必要であり、また、微細な構造の形成のために特殊な製造工程が余分に要求される場合が多い。デザインルールの相対的に緩い回路ブロックを、相対的に厳しい回路ブロックとは別の半導体チップ上に分けて形成すれば、その半導体チップは比較的に安価の工程で簡単に形成され、また、製造歩留まりも向上する。その結果、2つの半導体チップから形成される半導体装置も、全体として、低いコストで歩留まり良く製造される。

【0065】表2に示す例によれば、低い消費電力で高速動作する半導体装置が得られる。一般に、高速動作が可能な半導体装置は、大きなリーク電流を生じやすいため、消費電力が大きい傾向がある。トランジスタの閾値が低い回路ブロックは、相対的に高い速度で動作するが、リーク電流が相対的に大きい。トランジスタの閾値に基づいて、相対的に高速で動作させるべき回路ブロック

と、相対的に低速で動作させても良い回路ブロックに分離すれば、それぞれに適した製造プロセスによって各半導体チップを形成することができるので、低い消費電力で高速動作する半導体装置が比較的に安価に形成できる。

【0066】表3の示す例によれば、各半導体チップ毎に最適な電源電圧を設定することができる。表2の例と同様に、低い消費電力で高速動作する半導体装置が比較的に安価に形成できる。一般に、超大規模集積回路(LSI)の動作速度は電源電圧に比例する。すなわち、電源電圧が低下すると、動作し得る最高の周波数が低くなる。他方、消費電力は電源電圧の2乗に比例する。同一の周波数で動作するLSIの場合、3ボルトの電源電圧で動作させるときの消費電力は、5ボルトの電源電圧で動作させる場合の消費電力の約40%になる。3ボルトでは50MHzの動作、2ボルトでは25MHzの動作が可能なMCUコア(マイクロ・コントローラ・ユニット・コア)を使用して、たとえば3ボルトで25MHzの動作を行う画像処理用MCUを形成した場合、この画像処理用MCUは、その動作周波数の割に高い電源電圧で動作することになる。これは、無駄な電力の消費を招く。MCUの動作には、2ボルトの電源電圧が好ましく、周辺回路の動作には3ボルトの電源電圧が好ましい場合がある。このような場合、MCUコアと周辺回路とを別々の半導体チップ上に形成し、各々の半導体チップには異なる電圧を供給すれば、半導体装置としては、最適な電源電圧のもとで高速低消費電力の動作が実現する。

【0067】表4に示す例によれば、製造コストを低減できる。相対的に高い動作周波数で動作する回路ブロックと相対的に低い動作周波数で動作する回路ブロックとは、異なる製造プロセスによって製造されるべき構造を持つため、別々の半導体チップ上にそれぞれの回路ブロックを形成すれば、製造コストが全体として低減される。また、表2に示す例から得られる効果も同様に得られる。

【0068】表5の第1行から第5行に示す例によれば、設計コストも含めた製造コストが低減される。表5の第1行から第5行の例では、2つの半導体チップのうち、一方の半導体チップ上の回路を汎用の機能を持つ回路ブロックで構成し、他方の半導体チップ上の回路の構成がユーザ毎に異なることを可能としている。このため、ユーザ毎に設計が異なり得る半導体チップは、種々の構成を持つように設計され、製造されることになるが、そのようにして製造された多種類の半導体チップに対して、汎用の半導体チップは共通に使用される。このため、複数の半導体装置を製造する場合や、設計変更が行われる場合に、製造コストが低減されるという利点が得られる。

【0069】表5の第6行に示す例によれば、ノイズによる性能の劣化が防止される。これについては、前述の通りである。また、表5の第7行及び第8行に示す例によれば、各半導体チップ上の回路が各々に最適な製造プロセスによって製造されることによって、製造コストが低減されるという効果がある。

【0070】(実施例1)以下に、本発明による半導体装置の第1の実施例を詳細に説明する。

【0071】図9に本実施例の半導体メモリの構成例を示す。図9は、DRAMの構成を示しており、各回路構成要素は図1と同一であって、それぞれに同一番号を付している。DRAM80はメモリコア部50とメモリ周辺回路部60が異なる半導体チップで構成されている。メモリコア部チップ50はメモリセルアレイ1と、このメモリセルアレイ1内のメモリセルと同一ピッチでレイアウトされるセンスアンプ4、コラムセレクタ3、コラムデコーダ2、ワードドライバ6およびローデコーダ5より構成されており、このメモリコア部チップ50への入出力信号としては、ローデコーダ5へのプリデコードアドレス入力信号XA_i(27:0)55、コラムデコーダ2へのプリデコードアドレス入力信号YA_i(23:0)52、コラムセレクタ3へのデータ入出力信号D_{c0}(7:0)51、基板電位入力VBB56、昇圧電位入力VPP55、セルプレート電位およびビット線プリチャージ電位入力VBP、VCP54および電源入力VCC57、VSS58、さらには図示されていない何本かの制御信号入力がある。

【0072】メモリ周辺回路部チップ60は、ロードアドレスバッファ10、コラムアドレスバッファ9、ロード

ドレスカウンタ11、ロープリデコーダ8、コラムプリデコーダ7、データ入出力バッファ12、13、ライトアンプ14、リードアンプ15、RAS系CAS系クロック発生回路16、WE系クロック発生回路17、OE系クロック発生回路18および、昇圧電位発生回路19、基板電位発生回路20、1/2VCC発生回路21より構成され、このメモリ周辺回路部チップ60への入出力信号としては、DRAM80に対する外部信号としてアドレス入力信号A(10:0)32、データ入出力信号DQ(7:0)36、RAS入力信号30、CAS入力信号31、WE入力信号35、OE入力信号37および電源VCC33およびVSS34と、メモリコア部チップ50との間の信号として、ロープリデコーダ8のプリデコードアドレス出力信号XA_o(27:0)63、コラムプリデコーダ7のプリデコードアドレス出力信号YA_o(23:0)62、データラインへのデータ入出力信号D_pe(7:0)61、基板電位発生回路出力VBB66、昇圧電位発生回路出力VPP65、1/2VCC発生回路出力VCP、VBP64、さらには図示されていない何本かの制御信号出力がある。

【0073】メモリコア部チップ50とメモリ周辺回路部チップ60との間の必要な信号を接続することによりDRAM80は図1に示すDRAM95と同一の機能を実現する。

【0074】図10は、図9に示すようにメモリコア部チップ50とメモリ周辺回路部チップ60に分割されたDRAM80におけるメモリコア部チップ50のチップレイアウト例と、両チップの実装例を示すものである。メモリコア部チップ50はDRAMプロセスを用いて製造されており、メモリセルアレイ1、センスアンプ3、コラムセレクタ4、ローデコーダ6、およびワードドライバ5が配置されている。メモリセルアレイ1が4分割されたメモリプレートとローデコーダ6、およびワードドライバ5は図2と同一レイアウトであるが、コラムデコーダ2は左右のメモリプレートに対して共通に1個配置され、コラムデコーダ2の出力であるコラムセレクタ選択信号は左右のメモリプレート内のコラムセレクタに共通に配線されている。

【0075】メモリ周辺回路部チップ60は図9でのメモリ周辺回路部60に示す回路が配置され、論理LSIプロセス等のようにメモリコア部チップ50の製造に用いるDRAMプロセスとは異なるプロセスで製造される。メモリ周辺回路部チップ60とメモリコア部チップ50が共通基板81に実装され、両チップ間の接続をワイヤボド配線82で接続することにより図9でのDRAM80を構成している。また、外部ピントの接続をおこなうためのパッド83はメモリ周辺回路部チップ60に配置されており、この図10に示すDRAM構成を従来のDRAMと同様のパッケージに実装し、メモリ周辺回路部チップ60に配置されたパッド形成部83内のパッ

ドと外部ピンを接続する。

【0076】ここで、メモリ周辺回路部チップ60とメモリコア部チップ50との間の接続信号本数は、図9に示す構成での16MビットDRAMにおいては約60本となり、図10に示すようなワイヤボンド配線82を用いた接続により低価格で実現可能である。さらに本数の多いチップ間接続をおこなう場合には、配線基板を用い、バンプによりチップを基板に実装する方式等により容易に実現することができる。

【0077】このようなメモリ構成とすることにより、メモリコア部チップ50のみを高価なメモリプロセスを用いて製造し、メモリ周辺回路部チップ60の製造には安価な論理LSIプロセスを用いることが可能となるので、安価なDRAMを実現することができる。

【0078】また、DRAMの性能向上のため半導体基板を基板電位VBBとするのはメモリコア部チップ50だけではなく、メモリ周辺回路部チップ60の基板電位は論理LSIと同様に接地電位とするとともに、パッケージの外部ピンに直接接続される回路素子はメモリ周辺回路部チップ60のみに存在することになるので、ラッチアップおおびサージ耐性を論理LSIと同様にすることができる、保護回路の面積を小さくすることができるとともに、微細化プロセスを用いるDRAMにおいても、ラッチアップおおびサージ対策を容易にすることができます。なお、図10に示すメモリコア部チップ50とメモリ周辺回路部チップ60のそれぞれには、図9に示すそれぞれの回路要素により構成されているが、どのような回路構成でメモリコア部チップ50とメモリ周辺回路部チップ60を製造するかは、メモリのブロック分割方式やチップ間の配線本数等に依存するものであり、最適な回路構成要素のメモリコア部チップ50とメモリ周辺回路部チップ60への割り振りは実現するメモリの要求仕様に依存する。

【0079】また、これまでの説明においては、メモリ周辺回路部チップ60とメモリコア部チップ50を異なる半導体製造プロセスを用いて実現する、本発明による安価なDRAM実現手段について述べてきたが、DRAM以外のSRAM、EEPROM、フラッシュメモリ等の半導体メモリにおいても、図9および図10に示すメモリ実現手段を用いることにより同様の効果を達成できることは容易に類推することができる。

【0080】(実施例2) 図9および図10においては、1つのメモリコアを用いる場合のメモリ実現手段を示したが、メモリを用いるシステムにおいて、システムが必要とする容量のメモリを1チップで実現できない場合には、複数チップのメモリを用いてシステムを実現することになる。図11に、複数のメモリコアを用いる場合での、メモリコア部とメモリ周辺回路部を異なるチップで構成する本発明の半導体メモリにおける第2の構成例を示しており、図11においては、メモリコア部チッ

10

20

30

40

50

プを2個用いる場合の例を示している。121-1、121-2はそれぞれ、図9に示すメモリコア部チップと同一の要素回路を備えたメモリコア部チップであり、このメモリコア部チップ121-1、121-2の各入出力信号にはバッファ67～69を備えており、チップセレクト信号CS59-1、59-2により活性化されるよう制御される。122は周辺回路チップであり、2本のチップセレクト信号(CS1、CS2)38、39がチップを横切っている以外は図9に示す周辺回路チップと同一である。メモリコア部チップ121-1、121-2および周辺回路チップ122を基板に実装し、各チップ間を接続した例を図12に示す。メモリコア部チップ121-1、121-2および周辺回路チップ122は基板120に実装され、それぞれの信号パッドはワイヤボンド82により基板120に接続されている。メモリコア部チップ121-1および121-2の信号線は基板上での配線131によりチップセレクト信号CSを除いて共通接続され、周辺回路チップ122と接続される。メモリコア部チップ121-1および121-2のチップセレクト信号CSはそれぞれ独立に周辺回路チップ122のチップセレクト信号(CS1、CS2)38、39と接続される。

【0081】外部よりメモリコア部チップ121-1にアクセスする場合には、RAS(30)、CAS(31)、WE(35)およびOE(37)に必要な信号を与えるとともにCS1(38)に選択信号を与え、メモリコア部チップ121-1の信号線バッファ67～69を活性化し、必要な信号をメモリコアに与えアクセスをおこなう。このとき、CS2(39)には選択信号が与えられていないため、メモリコア部チップ121-2の信号線バッファ67～69は活性化されず、メモリコアへのアクセスはおこなわれない。したがって、メモリに対するアドレスの1ビットによりチップセレクト信号(CS1、CS2)を発生し、残りのアドレスをアドレス端子32に与えることにより、メモリコア部チップ121-1および121-2で構成される全メモリ空間に対するアクセスをおこなうことができる。

【0082】図11および図12においては、メモリコア部チップを2個用いた場合について説明してきたが、さらに多数のメモリコア部チップを用いる場合においても、メモリ周辺回路に与えるチップセレクト信号をメモリコア部チップの数だけ備えることにより同様の機能が実現できることは容易に理解することができる。

【0083】このように、図11および図12示す構成とすることにより、複数のメモリコア部チップを用いる場合に、メモリ周辺回路を共用することが可能となる。

【0084】以上述べてきたように、半導体メモリをメモリコア部チップとメモリ周辺回路部チップとに分割して製造し、実装手段により両チップを接続することにより、安価な半導体メモリを実現することができる。

【0085】(実施例3)メモリは信号処理LSI等の他のLSIと共に用いられシステムを構成しており、このようなメモリと信号処理LSIを含むシステムレベルでの最適な半導体装置実現手段を以下に説明する。

【0086】信号処理システムを実現する場合には、集積化された信号処理チップおよび半導体メモリは不可欠な存在となっている。したがって、信号処理システムは複数の信号処理チップおよび複数のメモリチップを組み合わせて実現されている。

【0087】一方、携帯機器等のシステムの小型化のための技術としてMCMによるペアチップ実装が盛んになってきている。MCMは、LSIチップをペアチップまま基板に実装し、LSIチップ間を種々の方法を用いて接続するものである。

【0088】図13に半導体メモリと信号処理チップを用いたシステムでの本発明における半導体装置の第1の構成例を示しており、半導体メモリとしてはDRAMを用いた例としている。図13において、200は回路基板であり、DRAMコア部チップ201および信号処理チップ202が実装されている。DRAMコア部チップ201は図9でのメモリコア部50に示す回路構成となっており、メモリプロセスで製造される。信号処理チップ202は論理演算等をおこなう信号処理回路206とDRAM周辺回路部203および外部ピンとの接続をおこなうためのパッド形成部204を備えており、信号処理チップ202内の信号処理回路206は論理演算をおこなうものであり、DRAM周辺回路部203は図9でのメモリ周辺回路部60に示す回路構成となっているので、この信号処理チップ202は論理LSIプロセスで製造可能なチップである。このDRAM周辺回路部203とDRAMコア部チップ201との間の必要な接続はワイヤボンド配線208で接続している。ここで、システムが必要とするメモリ容量が2Mバイトの場合には、DRAMコア部チップのメモリ容量は16Mビットとなり、現在の半導体製造技術においては1チップで実現可能である。信号処理回路206とメモリとの間でのデータ転送のビット幅を8ビットでおこなう場合には図10での説明のように、DRAM周辺回路部203とDRAMコア部チップ201との間の信号線接続本数は約70本となり、図で示すようなワイヤボンドでの接続で実現可能である。

【0089】このような構成においては、信号処理チップ202内の信号処理回路206がDRAMにアクセスする場合には、信号処理回路206は同一チップ内のDRAM周辺回路部203に対してアドレス、および制御信号を与えデータの入出力をおこなうことになる。

【0090】このような構成とすることにより、高価なプロセスを用いて実現されるDRAMコア部チップ201は、メモリセルのピッチでレイアウトされるメモリコア部のみとなり、DRAM周辺回路部203を信号処理

回路206と一緒にメモリプロセスに比べ安価な半導体製造プロセスで実現することができる。信号処理チップ202での信号処理回路206が大規模なものである場合には、信号処理チップ202はDRAM周辺回路部203を含まない場合に比べチップサイズの増加の割合は極めて小さい。したがって、DRAM周辺回路203を含めたことによる製造歩留まりの低下や、チップコストの上昇は同様に極めて小さく、安価なシステムを実現することができる。

【0091】前述のようにMCM技術を用いることにより、信号処理チップとメモリチップを多数の配線で接続することができるようになるので、このMCM技術を用いることにより、安価な構成で高性能な信号処理システムを実現することができる。

【0092】(実施例4)図14は半導体メモリと信号処理チップを用いた信号処理システムをMCM技術を用いて構成する本発明における半導体装置の第2の構成例を示している。図においては、半導体メモリとしてDRAMを用いるシステムの例を示している。信号処理チップ302は演算をおこなうCPUコア303を備えており、メモリとのアクセスの高速化のためにデータキャッシュメモリ304およびインストラクションメモリ305を備えている。CPUコア303からのデータキャッシュメモリ304およびインストラクションキャッシュメモリ305に対するアクセスがミスヒットの場合は、このデータキャッシュメモリ304およびインストラクションメモリ305内のブロックデータをDRAMチップ301のデータと置き換えるため、大量のデータをDRAMチップ301とデータキャッシュメモリ304およびインストラクションメモリ305との間で転送する必要がある。この転送時間がシステムの処理性能に影響するため、短時間で転送することが要求される。

【0093】ここで、システムが必要とするメモリ容量が2Mバイトの場合には、DRAMチップ301のメモリ容量は16Mビットであり、現在の半導体製造技術においては、1チップで実現可能な技術が確立されている。従来の16MビットDRAMでは、データ入出力ビット幅は前述のように、負荷容量駆動による消費電力およびノイズの増大等を考慮して、8~16ビット程度となっている。また、図3に示すパッケージされたDRAMのデータピン端子容量は前述のように5pF程度となり、信号処理LSIのデータピン端子容量も同程度の値となるので、図3に示す信号処理LSIとDRAMのプリント配線基板への実装では、信号処理LSIとDRAMが接続されるデータ線の容量としては、それぞれの端子容量およびプリント配線容量の合計として15pF程度となる。これに対して、図14に示す構成においては、MCMによる実装を前提としてそれぞれのチップを製造することができるので、信号処理LSIとDRAMのデータピンは、外部負荷容量が限定されるため入出力

パッファのトランジスタサイズを大きくする必要がなく、また、外部ピンとは直接接続されることはないとサージ保護デバイスが不要となることにより、データピンの端子容量はそれぞれ1pF程度とすることができます。したがって、信号処理LSIとDRAMが接続されるデータ線の容量は2pF程度となるので、データピン数として60～120ビットとした場合においても、データピン容量駆動のための消費電力は図3での実装の場合と同一となる。

【0094】したがって、図14に示す構成により、信号処理チップ302とDRAMチップ301との間で高速のデータ転送をおこなうために、両チップには複数のデータ端子を有し、同時に複数データの転送をおこなうことが可能となり、前述のようにCPUコア303からのデータキャッシュメモリ304およびインストラクションメモリ305に対するアクセスがミスヒットの場合に、DRAMチップ301との間でデータの転送レートを大きくすることができるので、高性能のシステムを実現することができる。

【0095】このように、図14に示すようなMCM技術を用いたシステム構成でLSI実現においては、信号処理チップとメモリチップを多数の配線で接続することが可能となるので、信号処理チップ302およびDRAMチップ301のそれぞれに複数のデータ端子を設け、複数のデータを同時に転送することにより、高速のデータ転送を実現することができる。

【0096】(実施例5)このような、MCM技術を用いた複数データを同時転送が可能なシステムにおいて、低電圧・低消費電力動作を実現する本発明における半導体装置の第3のシステム構成例を以下に説明する。

【0097】図15は、本発明における半導体装置の第3の構成例を示すものであり、半導体メモリと信号処理LSIとの間の複数データ転送と、信号処理LSIでの並列処理を用いるシステムの構成例である。図においては、半導体メモリとしてDRAMを用いるシステムの例を示している。信号処理チップ402は並列処理をおこなうために2個のCPUコア403および404を備えているとともに、DRAMチップ401との間で複数データでのデータ転送をおこなうためにDRAMチップ401および信号処理チップ402のそれぞれは複数のデータ端子をそなえており、信号処理チップ402とDRAMチップ401との間を多数のワイヤボンド配線406で接続している。

【0098】このような構成の信号処理システムにおいて、処理システムが8ビットのアーキテクチャであり、CPUコア403および404がそれぞれ8ビットの処理をおこなう場合において、DRAMチップ401との間でのデータ転送を16ビットでおこなうことにより、CPUコア403および404により2つのデータを同時に処理することができるようになる。したがつ

て、図3に示す構成での信号処理LSIとDRAMとの8ビットデータ転送、信号処理LSIでの8ビット信号処理と比較して2倍の処理能力とすることができます。

【0099】また、図15に示すシステム構成において、図3でのシステム構成と同一の処理能力を実現する場合には、大幅に消費電力を低減することが可能となる。図16(a)および(b)には信号処理チップ402で用いられる論理ゲートでのゲート遅延の電源電圧依存性およびDRAMチップ401でのアクセスタイムの電源電圧依存性を示している。従来一般に用いられている電源電圧3.3Vでの遅延に対して、2倍の遅延となる電圧は論理ゲート(a)とDRAM(b)共に約1.9Vである。したがって、DRAMチップ401とのデータ転送を2ワードでおこない、2個のCPUコア403および404による並列信号処理をおこなう信号処理チップ402による図15に示したシステム構成によれば、1.9Vの電源電圧を用いて3.3V動作での図3に示すシステム構成と同一の処理性能を実現することができる。

【0100】図17には図15で示す本発明の半導体装置における第3のシステム構成例と従来のシステム構成の比較を示している。図において、システム構成1のディスクリートは図3に示すようなパッケージされたメモリおよび信号処理LSIをプリント基板上に実装するもの、システム構成2の汎用チップMCMは従来のメモリチップと信号処理チップを用いてMCM技術により実装したシステムであり、システム構成3の本発明は図15に示す本発明の半導体装置における第3のシステム構成例である。特徴的なことは、システム構成3では信号処理チップとメモリとの間のデータ転送を複数データ同時におこない、並列処理をおこなっており、システム構成1およびシステム構成2では20MHzで動作しているのに対して、システム構成3では10MHzで動作している。しかしながら、システム構成3では並列動作をおこなっているので、システム構成1およびシステム構成2と同一のシステム性能を実現している。したがって、システム構成1およびシステム構成2は電源電圧3.3Vで動作しているが、システム構成3は1.9Vで動作可能である。これにより、消費電力はシステム構成1およびシステム構成2は、約1Wであるのに対してシステム構成3は約250mWで動作することになり、約1/4の電力で同一性能を実現している。

【0101】このように、本発明のMCM技術を用いた複数データの転送と並列処理を用いることにより、低電圧・低消費電力のシステムを実現することができる。

【0102】(実施例6)図18は、MCM技術を用いた複数データの転送と並列処理を用いるシステムを低価格で実現する、本発明における半導体装置の第4の構成例を示すものである。図はMCM技術を用いて構成されたDRAMとフラッシュメモリおよび信号処理チップを

用いた携帯情報端末等のシステムの構成例を示している。信号処理チップ102、DRAMコア部チップ101およびフラッシュメモリコア部チップ103が共通基板100に実装されており、信号処理チップ102は並列処理をおこなうために2個のCPUコア107および108を備えているとともに、DRAM周辺回路部104およびフラッシュメモリ周辺回路部105を備えている。さらに、信号処理チップ102とDRAMコア部チップ101およびフラッシュメモリコア部チップ103との間で複数データでのデータ転送をおこなうために、DRAMコア部チップ101、フラッシュメモリコア部チップ103および信号処理チップ102内のDRAM周辺回路部104とフラッシュメモリ周辺回路部105のそれぞれは複数のデータ端子をそなえており、信号処理チップ102とDRAMコア部チップ101およびフラッシュメモリコア部チップ103との間を多数のワイヤボンド配線110および111で接続している。

【0103】このような構成とすることにより、図15～図17で説明したように、MCM技術を用いた複数データの転送と並列処理を用いることにより、低電圧・低消費電力のシステムを実現することができるとともに、図13での説明と同様に、高価な半導体製造プロセスを用いて実現されるDRAMコア部チップ101およびフラッシュメモリコア部チップ103は、メモリセルのピッチでレイアウトされるメモリコア部のみとすることができます、DRAM周辺回路部104およびフラッシュメモリ周辺回路部105を信号処理回路106やCPUコア107および108と同一チップ上にメモリプロセスに比べ安価な論理LSIプロセス等の半導体製造プロセスで実現することができるので、低電圧・低消費電力のシステムを安価に実現することが可能となる。

【0104】図11および図12で説明したように、同一構成のメモリコア部チップを複数個用いる場合には、メモリ周辺回路を共有することができる。同様に、図18に示すMCM技術を用いた半導体装置において、DRAMコアチップ101とフラッシュメモリコア部チップ103のワード構成を同一とすることにより図19(a)に示すように、DRAMコアチップとフラッシュメモリコア部チップのメモリ周辺回路を共有することができる。図19(a)において、501はDRAMコアチップ、503はフラッシュメモリコア部チップ、502は信号処理チップであり、信号処理チップ502は信号処理回路506、CPUコア507および508、メモリ周辺回路504を備えている。

【0105】メモリ周辺回路504の詳細構成を図19(b)に示している。DRAMコアチップ501とフラッシュメモリコア部チップ503は異なる制御となっているため、メモリ周辺回路504はDRAM制御回路520およびフラッシュメモリ制御回路523を備えており、DRAM制御回路520はRAS信号及びCAS信

号を基に制御され、フラッシュメモリ制御回路523はチップイネーブル信号(CE)を基に制御されている。図9におけるコラムアドレスバッファ9、ロードアドバッファ10、ロードアドレスカウンタ11、コラムプリデコーダ7及びロードプリデコーダ8から成るアドレス系回路521と、データ入力バッファ12、データ出力バッファ13、ライトアンプ14およびリードアンプ15から成るデータ系回路522はDRAMコアチップ501およびフラッシュメモリコア部チップ503により共有される。

【0106】DRAMコアチップ501、信号処理チップ502、フラッシュメモリコア部チップ503は基板500上に実装され、各チップ間を繋ぐための信号端子はワイヤボンド510により基板500にボンディングされ、基板500上の配線511～513により各チップ間が接続されている。メモリ周辺回路504の信号端子の内、DRAMコア制御信号は配線511によりDRAMコアチップ501に接続され、フラッシュメモリ制御信号は配線512によりフラッシュメモリコア部チップ503に接続され、アドレス系及びデータ系信号は配線513によりDRAMコアチップ501およびフラッシュメモリコア部チップ503に接続される。

【0107】信号処理チップ502がDRAMコアチップ501からデータを読み出す場合には、信号処理回路506によりRAS、CASおよびOE信号が発生され、アドレスとともにメモリ周辺回路504へ与えられる。メモリ周辺回路504はRAS、CASおよびOE信号を基にDRAM制御回路520によりDRAMコア制御信号を発生するとともに、アドレス系回路521によりプリデコードアドレスを発生しDRAMコアからデータを読み出し、データ系回路522を介して信号処理回路506へ出力する。このときフラッシュメモリ制御回路523はCEが与えられていないため、フラッシュメモリ制御信号は発生されず、フラッシュメモリコア部チップ503は待機状態のままである。信号処理チップ502がフラッシュメモリコア部チップ503からデータを読み出す場合には、信号処理回路506によりCEおよびOE信号が発生され、アドレスとともにメモリ周辺回路504へ与えられる。メモリ周辺回路504はCEおよびOE信号を基にフラッシュメモリ制御回路523によりフラッシュメモリコア制御信号を発生するとともに、アドレス系回路521によりプリデコードアドレスを発生しフラッシュメモリコア部チップ503へ与えることにより、フラッシュメモリコアからデータを読み出し、データ系回路522を介して信号処理回路506へ出力する。このときDRAM制御回路520はRASおよびCASが与えられていないため、DRAM制御信号は発生されず、DRAMコアチップ501は待機状態のままである。信号処理チップ502からDRAMコアチップ

501またはフラッシュメモリコア部チップ503へのデータ書き込みも同様に、RAS及びCASまたはCE信号のいづれかをメモリ周辺回路504へ与えることにより、DRAMコアチップ501またはフラッシュメモリコア部チップ503のいづれか一方のみに書き込むことが可能である。

【0108】図19においては、DRAMコアチップ501およびフラッシュメモリコア部チップ503のメモリコア部のワード構成を同一とした場合について説明したが、ワード構成が異なる場合においてもアドレス系回路521内のコラムアドレスバッファ、ロードレスバッファ、コラムプリデコーダおよびロープリデコーダの一部や、データ系回路522内のデータ入力バッファ、データ出力バッファ、リードアンプ、およびライトアンプの一部を共有することは容易に理解できる。

【0109】このように、異なる種類のメモリを複数用いる場合においても、メモリコア部とメモリ周辺回路部を異なるチップで実現することにより、メモリ周辺回路の一部を共有することが可能となる。

【0110】上記実施例では、DRAMについて本発明を説明してきたが、最初に述べたように、本発明はDRAMに限定されるものではない。DRAMについて、実施例を詳細に説明したのは、DRAMのメモリコア部とメモリ周辺回路部とが同一の半導体チップ上に形成されるべきであるとの常識が強くあつたため、このメモリコア部とメモリ周辺回路部と異なる半導体チップに形成するという実施例の説明が発明の特徴を表現するのに最も適しているからである。また、本発明はMCMに限定されない。

【0111】以下に、複数の半導体チップに回路ブロックを分ける方法を、図面を参照しながら説明する。

【0112】図20(a)及び(b)は、一般的な制御用MCU902及び画像処理用MCU903の構成を示すブロック図である。

【0113】まず、制御用MCU902の回路情報と各構成ブロックの特徴を示すブロックパラメータを抽出し、CADに読み込む。次に、グループ化が可能になるまで、ブロックの階層展開を行う。たとえば、LSI0を、MCUコア、シリアルI/F、ROM、RAM、タイマー、割込制御、D/A、A/Dの各回路ブロックに展開する。

【0114】次に、「MCUコア」か「周辺回路」かの相違をパラメータとして、階層展開された回路ブロックをグループ化する。

【0115】この例の場合、LSI1のグループとして、MCUコアの回路ブロックが選択され、LSI2のグループとしてシリアルI/F、ROM、RAM、タイマー、割込制御、D/A、A/Dの回路ブロックが選択され、その結果、階層LSI1及びLSI2が生成され

ることになる。

【0116】同様の手順で、画像処理用MCUについても、階層LSI1及びLSI2を生成することができる。

【0117】図21(a)は、制御用MCU902及び画像処理用MCU903から、MCUコア905と周辺回路904を分離した状態を模式的に示しており、図21(b)は、MCUコア用チップ905と周辺回路用チップ904とがMCM技術で接続された半導体装置の断面を模式的に示している。

【0118】図22(a)は、グループ化に際して、LSI1のグループとして、MCUコア、ROM、及びRAMの回路ブロックが選択され、LSI2のグループとしてシリアルI/F、タイマー、割込制御、D/A、及びA/Dの回路ブロックが選択された場合を示している。図21(b)は、MCUコアと共に共通部のためのチップ908と周辺回路用チップ907(909)とがMCM技術で接続された半導体装置の断面を模式的に示している。

【0119】こうして、「MCUコアチップ」または「MCUコアと共に共通部のためのチップ」と、周辺回路チップとに回路を分割することによって、以下のようない点がある。

【0120】すなわち、2種類のMCUに共通する回路ブロックを一つの半導体チップ上に形成すると、全体として、2つのチップから形成される半導体装置の回路面積が縮小し、製造歩留まりも向上する。また、MCUを新規に設計したり、設計変更を行う場合に、MCUコアの設計は変更することなく、比較的に小規模な周辺回路のみを新たに設計したり、または設計変更すれば足りる。また、新規に設計された周辺回路のテストだけを行えば良いので、テスト用回路を新たに設ける必要もなくなる。このため、半導体装置の全体としての開発コストが低減される。

【0121】

【発明の効果】本発明によれば、ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックを各々異なる半導体チップ上に形成し、それらを電気的に接続することによって、異なるブロックパラメータを持つ回路ブロックから構成される回路を一つの半導体チップ上に集積することから生じる種々の問題を解決することが出来る。

【0122】特に、第1の半導体製造プロセスを用いて実現されるメモリコア部チップと、第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて実現されるメモリ周辺回路部チップに分離することによって、メモリコア部チップのみを高価なメモリプロセスを用いて製造し、メモリ周辺回路部チップの製造には安価な論理LSIプロセスを用いることが可能となるので、半導体メモリの低価格化に有効である。

【0123】更に、高価なプロセスを用いて実現されるメモリコア部チップは、メモリセルのピッチでレイアウトされるメモリコア部のみとすることができる、メモリ周辺回路部を信号処理回路一緒にメモリプロセスに比べ安価な半導体製造プロセスで実現することができる。このため、信号処理チップでの信号処理回路が大規模なものである場合には、信号処理チップはメモリ周辺回路部を含まない場合に比べチップサイズの増加の割合は極めて小さくなり、メモリ周辺回路部を含めたことによる製造歩留まりの低下や、チップコストの上昇は同様に極めて小さいため、システムを構成する半導体装置の低価格化に有効である。

【0124】第1の半導体製造プロセスを用いて実現されるデータを記憶するためのメモリセルを含むメモリコア部チップと、第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて実現されるメモリ周辺回路部およびメモリコア部チップに記憶されるデータを用いて処理をおこなう信号処理回路を搭載する信号処理チップとを接続することによって、信号処理チップとメモリチップとの間で高速のデータ転送が可能となり、システムの高性能化に有効である。更に、複数データの転送と並列処理を用いることにより、システムの低電圧・低消費電力化に極めて有効であるとともに、低価格においても有効となる。

【図面の簡単な説明】

【図1】従来DRAMの回路構成例である。

【図2】図1におけるDRAMのレイアウト例である。

【図3】半導体メモリを用いる従来システム構成例を示す図である。

【図4】(a)は、通常の機能的に分類された複数の回路ブロックを示し、(b)は、これらの回路ブロックを一つの半導体チップ上に集積した半導体装置のレイアウトを模式的に示し、(c)は、デジタルかアナログかというブロックパラメータに基づいて回路ブロックを2つのグループに分類し、各々を2つの異なる半導体チップ上に再配置した半導体装置のレイアウトを模式的に示す図である。

【図5】(a)は、MCMの平面図、(b)は、その断面図、(c)は、その斜視図である。

【図6】(a)及び(b)は、複数のブロックの配分の第1の仕方を説明する平面図である。

【図7】(a)及び(b)は、複数のブロックの配分の第2の仕方を説明する平面図である。

【図8】本発明による半導体装置の製造方法を示すフローチャートである。

【図9】本発明における半導体メモリの第1の構成例である。

【図10】図9における半導体メモリのレイアウト例である。

【図11】本発明における半導体メモリの第2の構成例

である。

【図12】図11における半導体メモリの実装例である。

【図13】本発明の半導体装置の第1の構成例である。

【図14】本発明の半導体装置の第2の構成例である。

【図15】本発明の半導体装置の第3の構成例である。

【図16】論理ゲート遅延時間およびDRAMアクセスタイムの電源電圧依存特性を示す図である。

【図17】システム構成例による諸性能比較を示す図である。

【図18】本発明の半導体装置の第4の構成例である。

【図19】本発明における半導体装置の第5の構成例である。

【図20】(a)は、制御用マイコンの構成を模式的に示す図、(b)は、画像処理用マイコンの構成を模式的に示す図である。

【図21】(a)は、制御用マイコンと画像処理用マイコンについて、回路ブロックの分割を説明するための図、(b)は、分割された回路ブロックの形成された2つの半導体チップの接続を模式的に示す断面図である。

【図22】(a)は、制御用マイコンと画像処理用マイコンについて、回路ブロックの分割を説明するための他の図、(b)は、分割された回路ブロックの形成された2つの半導体チップの接続を模式的に示す断面図である。

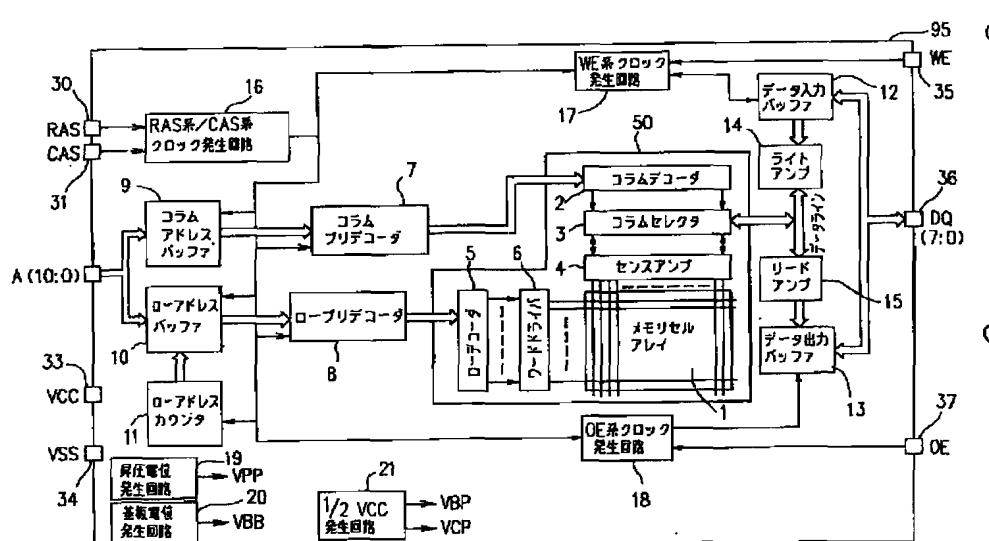
【符号の説明】

1…メモリセルアレイ、2…コラムデコーダ、3…コラムセレクタ、4…センスアンプ、5…ローデコーダ、6…ワードラインドライバ、7…コラムプリデコーダ、8…ロープリデコーダ、9…コラムアドレスバッファ、10…ロードレスバッファ、11…ロードレスカウンタ、12…データ入力バッファ、13…データ出力バッファ、14…ライトアンプ、15…リードアンプ、16…RAS系/CAS系クロック発生回路、17…WE系クロック発生回路、18…OE系クロック発生回路、19…昇圧電位発生回路、20…基板電位発生回路、21…1/VCC電位発生回路、30…RAS信号入力端子、31…CAS信号入力端子、32…アドレス入力端子、33…VCC端子、35…WE信号入力端子、36…データ入出力端子、37…OE信号入力端子、38…CS1信号入力端子、39…CS2信号入力端子、40…パッド、50…DRAMコア部、51…データ入出力端子、52…コラムプリデコーダ入力、53…ロープリデコーダ入力、54…VBP/VCP端子、55…VPP端子、56…VBB端子、57…VCC端子、60…DRAM周辺回路部、61…データ入出力端子、62…コラムプリデコーダ出力、63…ロープリデコーダ出力、64…VBP/VCP端子、65…VPP端子、66…V

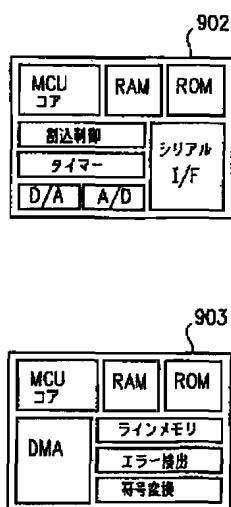
B B端子、67、68、69…信号線バッファ、70…プリント配線基板、71…信号処理LSI、72…DRAM、73…プリント配線、81…ワイヤボンド配線、83…パッド、94…DRAM周辺回路部、95…DRAM、100…基板、101…DRAMコア部チップ、102…信号処理チップ、103…フラッシュメモリコア部チップ、104…DRAM周辺回路部、105…フラッシュメモリ周辺回路部、106…信号処理回路、107、108…CPUコア、109…パッド、110、111…ワイヤボンド配線、120…基板、122…メモリ周辺回路部チップ、131…基板配線、200…基板、201…DRAMコア部チップ、202…信号処理チップ、203…DRAM周辺回路部、204…パッド、300…基板、301…DRAMチップ、3*

* 02…信号処理チップ、303…CPUコア、304…データキャッシュ、305…インストラクションキャッシュ、306…パッド、307…ワイヤボンド配線、400…基板、401…DRAMチップ、402…信号処理チップ、403、404…CPUコア、405…パッド、406…ワイヤボンド配線、500…基板、501…DRAMコア部チップ、502…信号処理チップ、503…フラッシュメモリコア部チップ、504…メモリ周辺回路部、506…信号処理回路、507、508…CPUコア、510…ワイヤボンド配線、511、512、513…基板配線、520…DRAM制御回路、521…アドレス系回路、522…データ系回路、523…フラッシュメモリ制御回路。

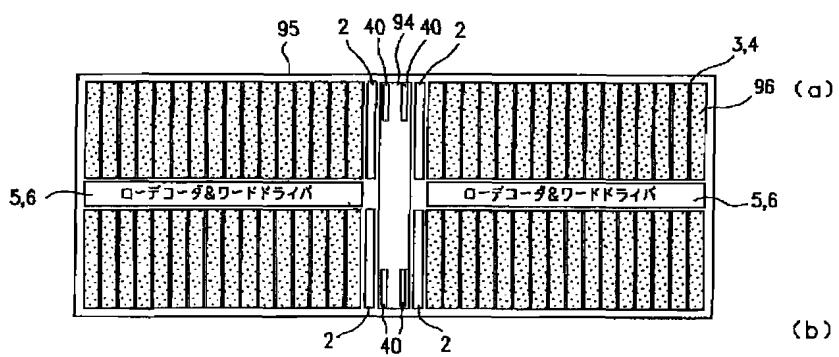
【図1】



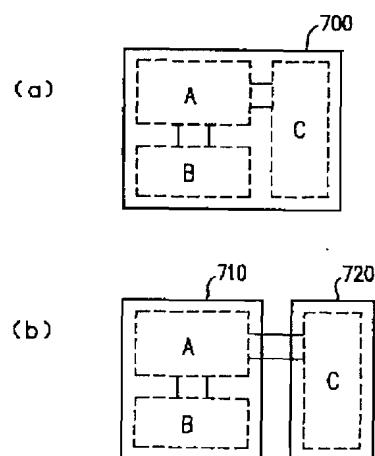
【図20】



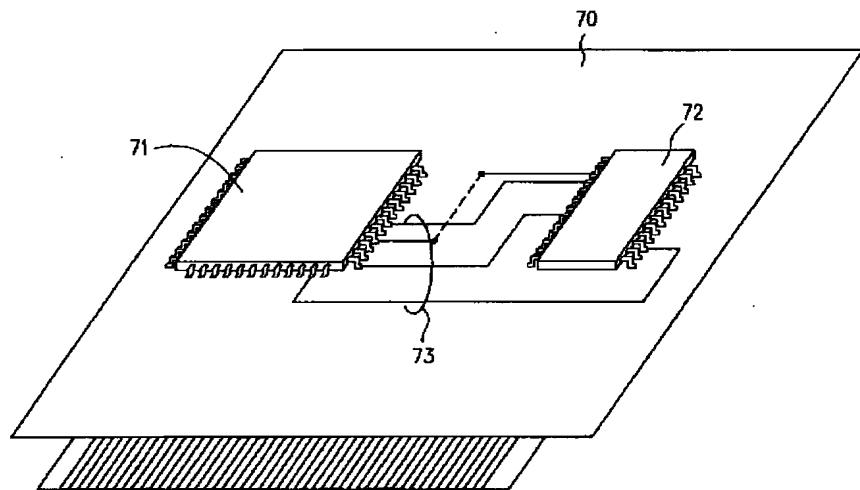
【図2】



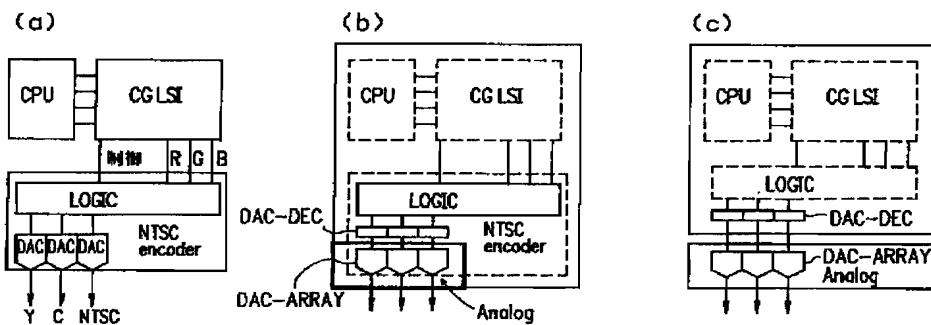
【図6】



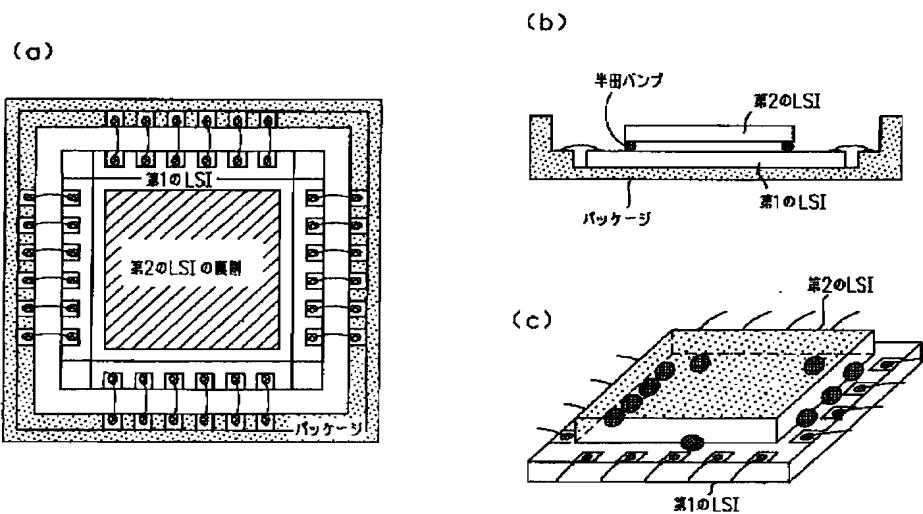
【図3】



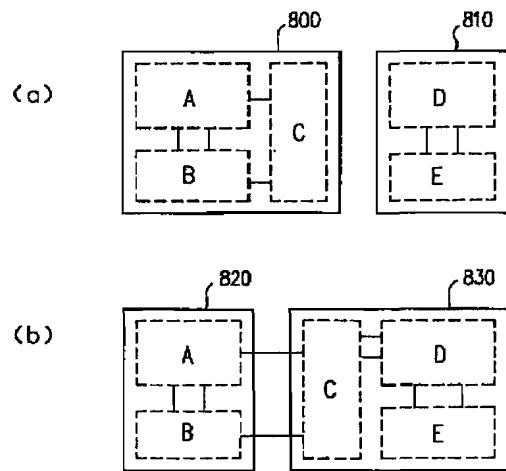
【図4】



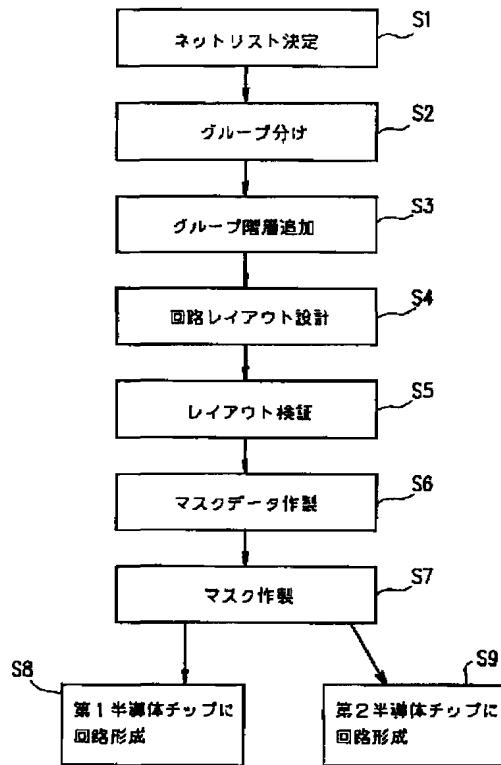
【図5】



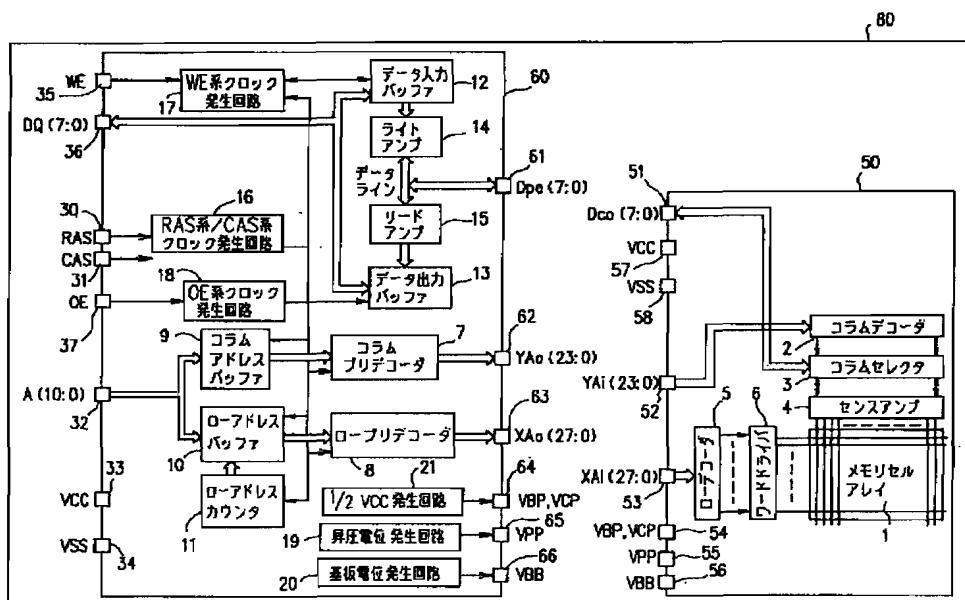
【図7】



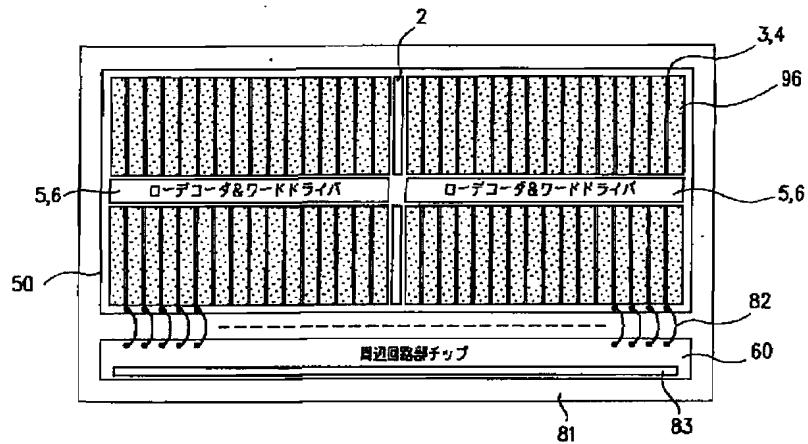
【図8】



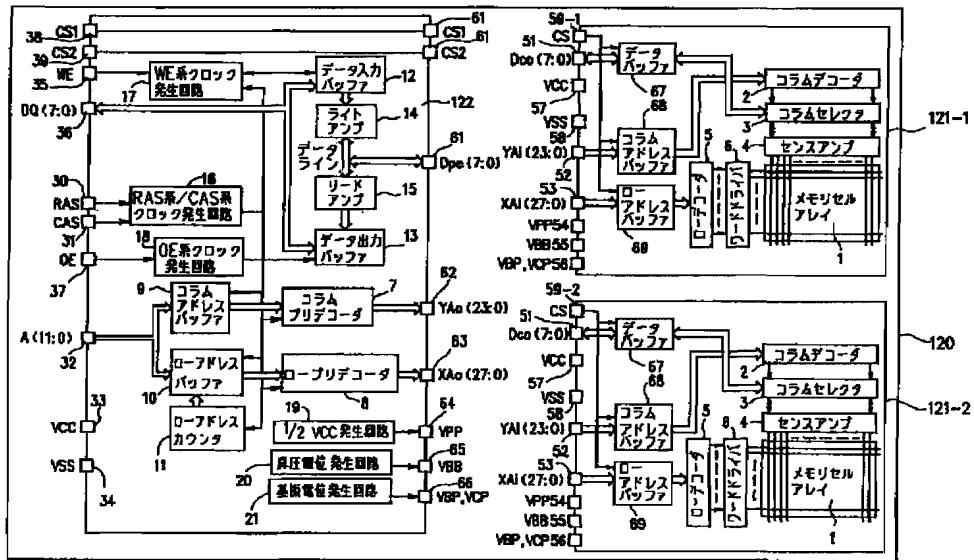
【図9】



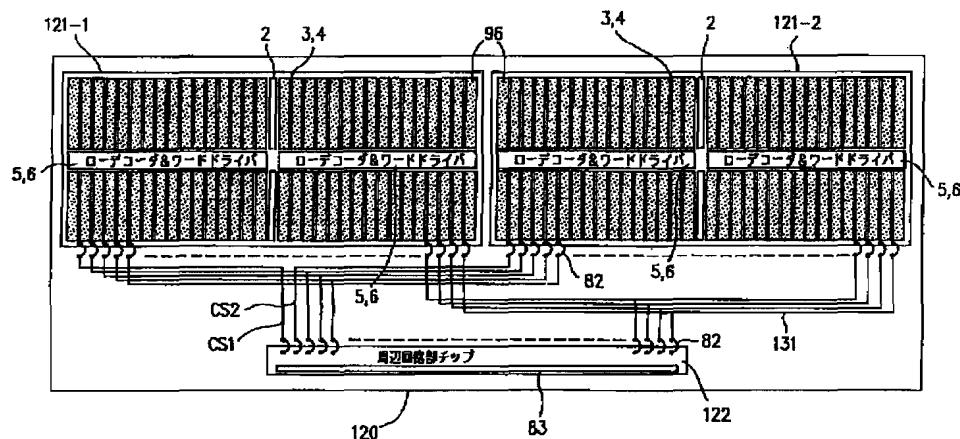
【図10】



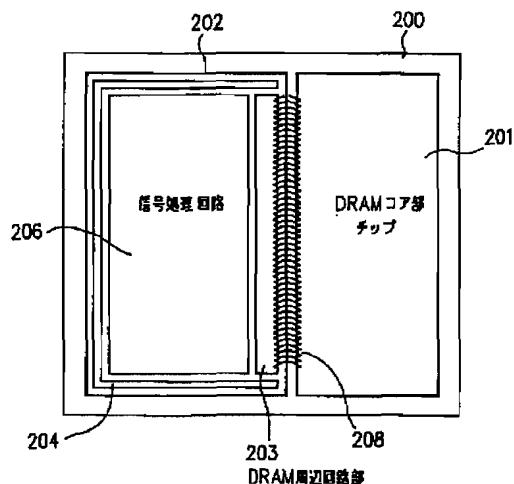
【図11】



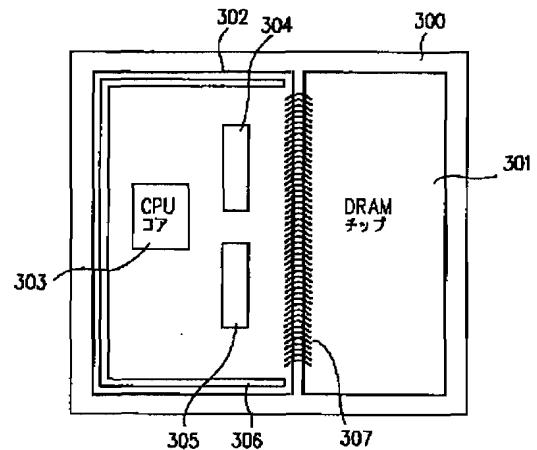
【図12】



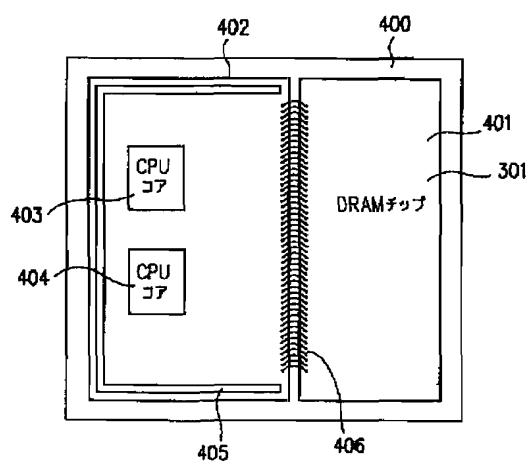
【図13】



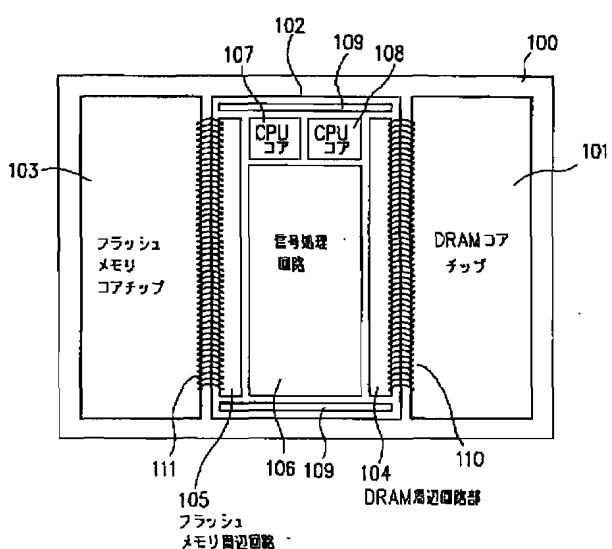
【図14】



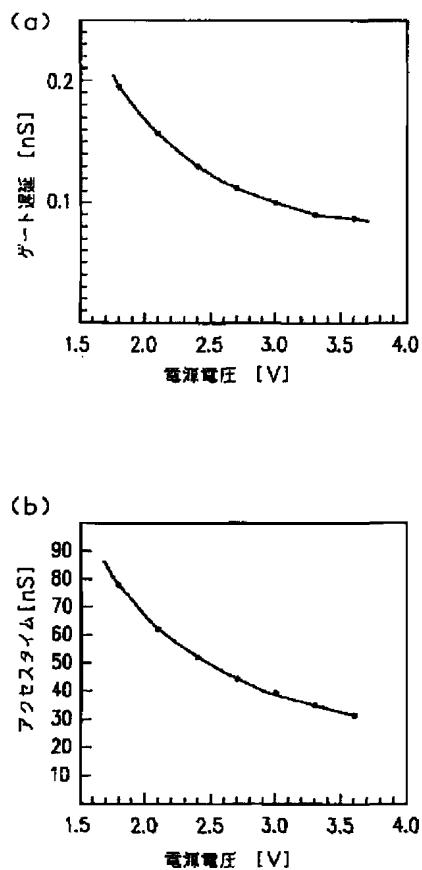
【図15】



【図18】



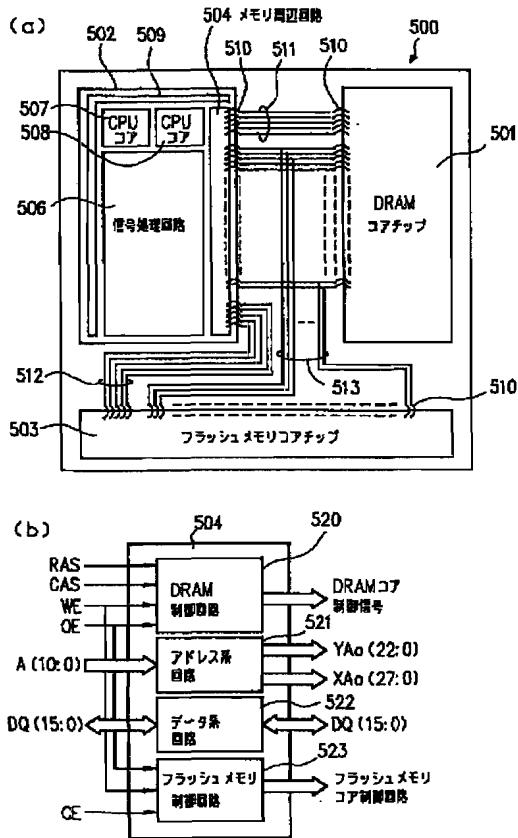
【図16】



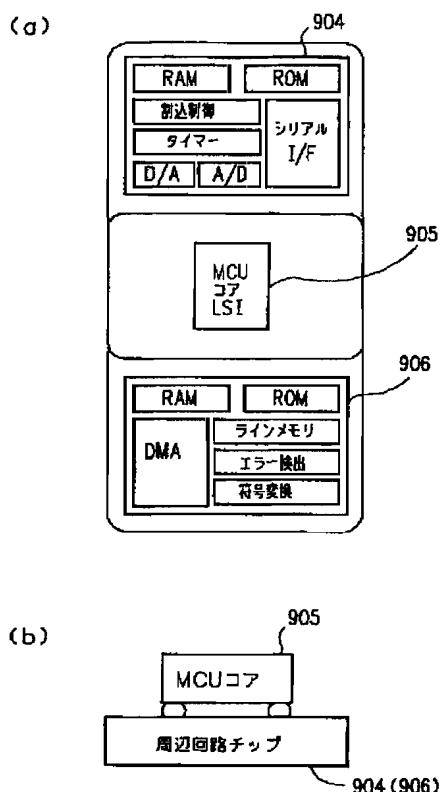
【図17】

	システム構成1	システム構成2	システム構成3
電源電圧	3.3V (1.0)	3.3V (1.0)	1.9V (0.58)
消費電力	957mW (1.0)	937mW (0.98)	244mW (0.26)
実装面積	2,770mm ² (1.0)	1,450mm ² (0.52)	1,110mm ² (0.40)
チップコスト	¥4,660 (1.0)	¥4,370 (0.98)	¥4,430 (1.20)
クロック	20MHz (1.0)	20MHz (1.0)	10MHz (0.5)
システムコスト	¥16,000 (1.00)	¥16,000 (1.00)	¥14,400 (0.9)
備考	*データバス幅 8b	*データバス幅 16b *2パラレル処理	

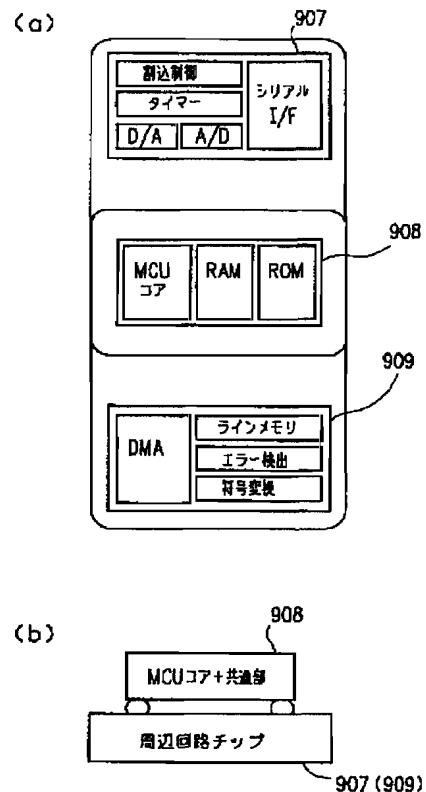
【図19】



【図21】



【図22】



フロントページの続き

(72)発明者 藤田 勉
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 濑川 礼二
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
Fターム(参考) 5M024 AA91 BB17 LL06 LL16